

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

LIQUID CRYSTAL DISPLAY SUBSTRATE AND LIQUID CRYSTAL DISPLAY DEVICE

Patent Number: JP9297321
Publication date: 1997-11-18
Inventor(s): NAKANO YASUSHI; HIROSHIMA MINORU; ISODA TAKASHI; SUZUKI
MASAHIKO; OOGIICHI KIMITOSHI
Applicant(s): HITACHI LTD;; HITACHI DEVICE ENG CO LTD
Requested
Patent: ☐ JP9297321
Application
Number: JP19960109003 19960430
Priority Number
(s):
IPC Classification: G02F1/136
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To reduce the occurrence of a defect due to static electricity by doubly arranging common wiring connected through a gate line or a drain line, a nonlinear resistance element and arranging one side common wiring in the vicinity of a terminal electrode causing invasion of electricity.

SOLUTION: The first common wiring 5 respectively connecting a gate line 1 group and a drain line 2 group through a first nonlinear resistance element 7 consisting of e.g. a bi-directional TFT diode is arranged and formed on the outside of a display area. Further, the second common wiring 6 respectively connecting the gate line 1 group and the drain line 2 group through a second nonlinear resistance element 8 consisting of e. g. the bi-directional TFT diode is arranged and formed on the outside of the first common wiring 5. Further, short circuit wiring 9 short-circuiting the gate line 1 group and the drain line 2 group is arranged and formed on the outside of the second common wiring 6. Further, terminal electrodes 11, 12 are formed respectively on the gate line 1 group and the drain line 2 group between the first common wiring 5 and the second common wiring 6.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-297321

(43) 公開日 平成9年(1997)11月18日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 1 0		G 0 2 F 1/136	5 1 0

審査請求 未請求 請求項の数 9 O L (全 15 頁)

(21) 出願番号 特願平8-109003

(22) 出願日 平成8年(1996)4月30日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233088

日立デバイスエンジニアリング株式会社

千葉県茂原市早野3681番地

(72) 発明者 中野 泰

千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(72) 発明者 廣島 實

千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(74) 代理人 弁理士 中村 純之助

最終頁に続く

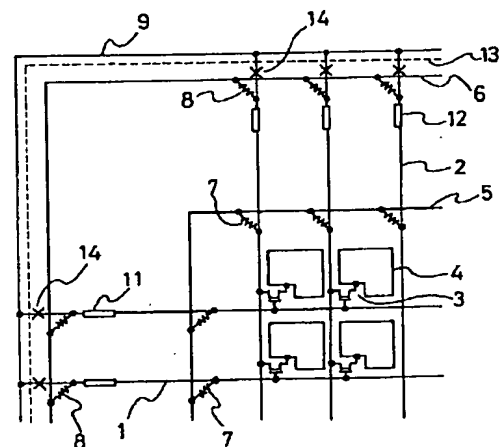
(54) 【発明の名称】 液晶表示基板および液晶表示装置

(57) 【要約】

【課題】 薄膜トランジスタ形成工程以降における静電気からの保護対策を強化し、静電気に起因して不良が発生する問題を低減する。

【解決手段】 表示領域の外側に形成され、ゲート線1群とドレイン線2群が、それぞれ第1の非線形抵抗素子7を介して接続された第1の共通配線5と、第1の共通配線5の外側に形成され、ゲート線1群とドレイン線2群が、それぞれ第2の非線形抵抗素子8を介して接続された第2の共通配線6と、第2の共通配線6の外側に形成され、ゲート線1群とドレイン線2群が、短絡接続された短絡配線9と、第1の共通配線5と第2の共通配線6との間のゲート線1群とドレイン線2群にそれぞれ接続された端子電極11、12とを有する。

図 1



- | | |
|-----------------|----------------|
| 1...ゲート線 | 2...ドレイン線 |
| 3...薄膜トランジスタ | 4...透明画素電極 |
| 5...第1の共通配線 | 6...第2の共通配線 |
| 7...第1の非線形抵抗素子 | 8...第2の非線形抵抗素子 |
| 9...短絡配線 | 11, 12...端子電極 |
| 13...液晶表示基板の切断線 | 14...配線の切断箇所 |

【特許請求の範囲】

【請求項1】液晶層を介して互に対向配置される液晶表示素子を構成する2枚の液晶表示基板のうち、一方の前記液晶表示基板の前記液晶層側の面上に、x方向に延在し、y方向に並設されたゲート線群と、このゲート線群と絶縁されてy方向に延在し、x方向に並設されたドレイン線群とが形成され、前記ゲート線群と前記ドレイン線群とが交差する領域によって表示領域が構成され、前記ゲート線と前記ドレイン線とで囲まれる領域にそれぞれ形成された薄膜トランジスタと画素電極とを有する液晶表示基板において、前記表示領域の外側に形成され、前記ゲート線群と前記ドレイン線群の両方もしくははいずれか一方が、それぞれ第1の非線形抵抗素子を介して接続された第1の共通配線と、前記第1の共通配線の外側に形成され、前記ゲート線群と前記ドレイン線群の両方もしくははいずれか一方が、それぞれ第2の非線形抵抗素子を介して接続された第2の共通配線と、前記第2の共通配線の外側に形成され、前記ゲート線群と前記ドレイン線群の両方もしくははいずれか一方が、短絡接続された短絡配線と、前記第1の共通配線と前記第2の共通配線との間の前記ゲート線群と前記ドレイン線群の両方もしくははいずれか一方にそれぞれ接続された端子電極とを有することを特徴とする液晶表示基板。

【請求項2】前記端子電極が前記第2の共通配線に隣接してそれぞれ配置されていることを特徴とする請求項1記載の液晶表示基板。

【請求項3】前記第2の共通配線が前記表示領域に形成された配向膜の外側に配置されていることを特徴とする請求項1記載の液晶表示基板。

【請求項4】前記薄膜トランジスタの形成完了時点において、前記端子電極がそれぞれ露出していることを特徴とする請求項1記載の液晶表示基板。

【請求項5】前記薄膜トランジスタの形成完了時点において、前記ゲート線群、前記ドレイン線群、第1および第2の非線形抵抗素子が絶縁性保護膜で覆われ、かつ、前記端子電極と、前記第2の共通配線の少なくとも一部とがそれぞれ露出していることを特徴とする請求項1記載の液晶表示基板。

【請求項6】前記ゲート線群と前記ドレイン線群の両方もしくははいずれか一方と、前記短絡配線とを電氣的に切断する箇所が、前記液晶表示基板の破断線と前記端子電極との間にそれぞれ位置することを特徴とする請求項1記載の液晶表示基板。

【請求項7】液晶層を介して互に対向配置された液晶表示素子を構成する2枚の液晶表示基板のうち、一方の前記液晶表示基板の前記液晶層側の面上に、x方向に延在し、y方向に並設されたゲート線群と、このゲート線群と絶縁されてy方向に延在し、x方向に並設されたドレイン線群とが形成され、前記ゲート線群と前記ドレイン線群とが交差する領域によって表示領域が構成され、

前記ゲート線と前記ドレイン線とで囲まれる領域にそれぞれ形成された薄膜トランジスタと画素電極とを有する液晶表示装置において、前記表示領域の外側に形成され、前記ゲート線群と前記ドレイン線群の両方もしくははいずれか一方が、それぞれ第1の非線形抵抗素子を介して接続された第1の共通配線と、前記第1の共通配線の外側に形成され、前記ゲート線群と前記ドレイン線群の両方もしくははいずれか一方が、それぞれ第2の非線形抵抗素子を介して接続された第2の共通配線と、前記第1の共通配線と前記第2の共通配線との間の前記ゲート線群と前記ドレイン線群の両方もしくははいずれか一方にそれぞれ接続された端子電極とを有することを特徴とする液晶表示装置。

【請求項8】前記端子電極が前記第2の共通配線に隣接してそれぞれ配置されていることを特徴とする請求項7記載の液晶表示装置。

【請求項9】前記第2の共通配線が前記表示領域に形成された配向膜の外側に配置されていることを特徴とする請求項7記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブ・マトリクス方式の液晶表示基板および液晶表示装置に係り、特に、液晶表示素子を構成する液晶表示基板の静電気保護とアレイテストとを両立することができる液晶表示基板および液晶表示装置に関する。

【0002】

【従来の技術】例えばアクティブ・マトリクス方式の液晶表示装置の液晶表示素子（液晶表示パネル）では、液晶層を介して互に対向配置されるガラス等からなる2枚の液晶表示基板のうち、その一方のガラス基板の液晶層側の面に、そのx方向に延在し、y方向に並設されるゲート線群と、このゲート線群と絶縁されてy方向に延在し、x方向に並設されるドレイン線群とが形成されている。

【0003】これらのゲート線群とドレイン線群とで囲まれた各領域がそれぞれ画素領域となり、この画素領域にスイッチング素子として例えば薄膜トランジスタ（TFT）と透明画素電極とが形成されている。なお、薄膜トランジスタのゲート電極はゲート線に、ドレイン電極はドレイン線に、ソース電極は透明画素電極にそれぞれ接続されている。

【0004】このような構成において、ゲート線に走査信号が供給されることにより、薄膜トランジスタがオンされ、このオンされた薄膜トランジスタを介してドレイン線からの映像信号が画素電極に供給される。

【0005】なお、ゲート線群の各ゲート線と、ドレイン線群の各ドレイン線とは、それぞれ液晶表示基板の周辺にまで延在されて外部端子が形成されている。

【0006】液晶表示基板の製造においては、製造工程

中に外部から侵入したり、液晶表示基板上で発生する静電気によって、薄膜トランジスタのしきい値電圧 V_{th} の変動による表示むらの発生、薄膜トランジスタの破損、ゲート線とドレイン線との絶縁膜を介する交差部における短絡等の不良が発生する問題がある。これは、静電気によりゲート線とドレイン線との間に高電圧が発生するためであり、通常、この高電圧を緩和する対策が施されている。

【0007】従来は、表示領域の外側の液晶表示基板の外周部に、各ゲート線および各ドレイン線間を相互に短絡する短絡配線を配置するか、あるいは各ゲート線を相互に短絡するゲート線短絡配線と、各ドレイン線を相互に短絡するドレイン線短絡配線とを相互に接続することにより、静電気が配線に侵入した場合、静電気すなわち電荷を各配線に分散させ、ゲート線とドレイン線間の電圧を緩和する方法が採られていた。

【0008】その後、薄膜トランジスタの形成工程完了時点での液晶表示基板の不良を、点欠陥レベルで検査することのできるアレイトスタが開発された（後で図8を用いて詳細に説明する）。アレイトスタの検査方法は、液晶表示基板を通常の表示に近い状態に駆動させ、画素電極に信号電荷を書き込み、一定時間後に画素電極に蓄積残存している信号電荷を読み出し、その読み出し信号を分析することにより、各画素部の欠陥の有無を検査している。このときの読み出し信号は微小であり、検出回路の入カインピーダンスが高いので、前記短絡配線が形成してあると、検査することができない。

【0009】そこで、図16と図17に示すような、静電気からの保護とアレイトスタとを両立させるための技術が提案されている。

【0010】図16は、第1の従来例のアクティブ・マトリクス方式の液晶表示基板の回路構成図、図17は、第2の従来例のアクティブ・マトリクス方式の液晶表示基板の回路構成図である。第1の従来例は、特開平5-27263号公報に記載され、第2の従来例は、特開平6-59281号公報に記載されている。

【0011】図16、17において、1はゲート線、2はドレイン線、3は薄膜トランジスタ、4は透明画素電極、17は共通配線、18は非線形抵抗素子、13は当該液晶表示基板の切断線、11はゲート線の端子電極、12はドレイン線の端子電極、図17において、19は短絡配線、20は配線を切断する箇所である。

【0012】

【発明が解決しようとする課題】図16に示す第1の従来例では、すべてのゲート線1とドレイン線2とが、それぞれ非線形抵抗素子18を介して共通配線17に接続されている。したがって、アレイトスタが可能である。しかし、この構造では、ゲート線1およびドレイン線2と、共通配線17との間に、非線形抵抗素子18が存在するため、ゲート線1およびドレイン線2と、共通配線

17とを短絡接続した場合と比べて、静電気が侵入した場合に静電気を分散する速度が遅いため、静電気からの保護効果は低い。すなわち、薄膜トランジスタ形成工程以降の、静電気の発生しやすい例えばラビング工程時等では、当該液晶表示素子の駆動回路との接続用の端子電極11、12の部分のみで導電性膜が露出しており、その部分に静電気の侵入が起きる。端子電極11、12は各薄膜トランジスタ3に直結しており、端子電極11、12から侵入した静電気が、非線形抵抗素子18を通過して短絡配線17によって充分拡散されるより早く、画素部の薄膜トランジスタ3に到達して薄膜トランジスタ3に高電圧が加わり、薄膜トランジスタ3のしきい値電圧 V_{th} の変動等の不良が発生する。

【0013】また、図17に示す第2の従来例では、すべてのゲート線1とドレイン線2とが、短絡配線19に短絡接続され、かつ、すべてのゲート線1とドレイン線2とが、非線形抵抗素子18を介して、表示領域の外側で短絡配線19の内側に配置された共通配線17に接続されている。この構造により、例えばアレイトスタを行なう前に、各ゲート線1およびドレイン線2と、短絡配線19との間の箇所20をそれぞれレーザカットすることにより、アレイトスタが可能となる。しかし、この構造では、レーザカット前は、各配線が相互に短絡されているので、第1の従来例より静電気からの保護効果が高いが、レーザカット後は、保護効果が低下する。

【0014】本発明の目的は、薄膜トランジスタ形成工程以降における静電気からの保護対策を強化し、静電気に起因して不良が発生する問題を低減できる液晶表示基板および液晶表示装置を提供することにある。

【0015】

【課題を解決するための手段】前記課題を解決するために、本発明では、第1に、静電気からの保護のために、ゲート線もしくはドレイン線と非線形抵抗素子を介して接続した共通配線を2重に配置し、さらに、一方の共通配線は静電気の侵入が起きる端子電極近傍に配置する。これにより、外部から侵入した静電気や液晶表示基板上で発生した静電気が、共通配線へ分散するのを容易とし、ゲート線とドレイン線間に加わる高電圧を低減できる。

【0016】第2に、静電気の侵入箇所である露出した端子電極に隣接して、配向膜等の絶縁膜によって覆われていない、導電性膜が露出した共通配線を配置する。これにより、端子電極への静電気の侵入する確率を低減できる。

【0017】第3に、ゲート線もしくはドレイン線を短絡配線から電氣的に切断する箇所を、大きなガラス基板から切断するための液晶表示基板の切断線よりも内側にし、切断線の内側で配線が切断することにより、切断線で切断された液晶表示基板端部の配線材料が露出した部分から静電気が侵入しても、表示領域内へ侵入できない

ようになっている。

【0018】すなわち、本発明の液晶表示基板は、液晶層を介して互いに対向配置される液晶表示素子を構成する2枚の液晶表示基板のうち、一方の前記液晶表示基板の前記液晶層側の面上に、x方向に延在し、y方向に並設されたゲート線群と、このゲート線群と絶縁されてy方向に延在し、x方向に並設されたドレイン線群とが形成され、前記ゲート線群と前記ドレイン線群とが交差する領域によって表示領域が構成され、前記ゲート線と前記ドレイン線とで囲まれる領域にそれぞれ形成された薄膜トランジスタと画素電極とを有する液晶表示基板において、前記表示領域の外側に形成され、前記ゲート線群と前記ドレイン線群の両方もしくはいずれか一方が、それぞれ第1の非線形抵抗素子を介して接続された第1の共通配線と、前記第1の共通配線の外側に形成され、前記ゲート線群と前記ドレイン線群の両方もしくはいずれか一方が、それぞれ第2の非線形抵抗素子を介して接続された第2の共通配線と、前記第2の共通配線の外側に形成され、前記ゲート線群と前記ドレイン線群の両方もしくはいずれか一方が、短絡接続された短絡配線と、前記第1の共通配線と前記第2の共通配線との間の前記ゲート線群と前記ドレイン線群の両方もしくはいずれか一方にそれぞれ接続された端子電極とを有することを特徴とする。

【0019】また、前記端子電極が前記第2の共通配線に隣接してそれぞれ配置されていることを特徴とする。

【0020】また、前記第2の共通配線が前記表示領域に形成された配向膜の外側に配置されていることを特徴とする。

【0021】また、前記薄膜トランジスタの形成完了時点において、前記端子電極がそれぞれ露出していることを特徴とする。

【0022】また、前記薄膜トランジスタの形成完了時点において、前記ゲート線群、前記ドレイン線群、第1および第2の非線形抵抗素子が絶縁性保護膜で覆われ、かつ、前記端子電極と、前記第2の共通配線の少なくとも一部とがそれぞれ露出していることを特徴とする。

【0023】また、前記ゲート線群と前記ドレイン線群の両方もしくはいずれか一方と、前記短絡配線とを電気的に切断する箇所が、前記液晶表示基板の破断線と前記端子電極との間にそれぞれ位置することを特徴とする。

【0024】また、本発明の液晶表示装置は、液晶層を介して互いに対向配置された液晶表示素子を構成する2枚の液晶表示基板のうち、一方の前記液晶表示基板の前記液晶層側の面上に、x方向に延在し、y方向に並設されたゲート線群と、このゲート線群と絶縁されてy方向に延在し、x方向に並設されたドレイン線群とが形成され、前記ゲート線群と前記ドレイン線群とが交差する領域によって表示領域が構成され、前記ゲート線と前記ドレイン線とで囲まれる領域にそれぞれ形成された薄膜ト

ランジスタと画素電極とを有する液晶表示装置において、前記表示領域の外側に形成され、前記ゲート線群と前記ドレイン線群の両方もしくはいずれか一方が、それぞれ第1の非線形抵抗素子を介して接続された第1の共通配線と、前記第1の共通配線の外側に形成され、前記ゲート線群と前記ドレイン線群の両方もしくはいずれか一方が、それぞれ第2の非線形抵抗素子を介して接続された第2の共通配線と、前記第1の共通配線と前記第2の共通配線との間の前記ゲート線群と前記ドレイン線群の両方もしくはいずれか一方にそれぞれ接続された端子電極とを有することを特徴とする。

【0025】

【発明の実施の形態】以下、図面を用いて本発明の実施の形態について詳細に説明する。なお、以下で説明する図面で、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0026】実施の形態1

図1は、本発明の実施の形態1を示すアクティブ・マトリクス方式の液晶表示基板の回路構成図である。

【0027】1はゲート線、2はドレイン線、3は薄膜トランジスタ、4は透明画素電極、5は第1の共通配線、7は第1の非線形抵抗素子、6は第2の共通配線、8は第2の非線形抵抗素子、9は短絡配線、13は液晶表示基板の切断線、14は配線の切断箇所である。

【0028】本実施の形態1では、液晶表示素子を構成する2枚の透明絶縁基板からなる液晶表示基板のうちの一方の液晶表示基板面上に、x方向に延在し、y方向に並設された複数のゲート線1と、このゲート線1と絶縁膜を介して絶縁されてy方向に延在し、x方向に並設された複数のドレイン線2とが形成されている。複数のゲート線1と複数のドレイン線2とが交差する領域によって表示領域が構成される。ゲート線1とドレイン線2とで囲まれる領域の交差部に、薄膜トランジスタ3と透明画素電極4とがそれぞれ形成されている。薄膜トランジスタ3のゲート電極はゲート線1に、ドレイン電極はドレイン線2に、ソース電極は透明画素電極4にそれぞれ接続されている。表示領域の外側には、ゲート線1群とドレイン線2群が、それぞれ例えば双方向TFTダイオードからなる第1の非線形抵抗素子7を介して接続された第1の共通配線5が配置形成されている。また、第1の共通配線5の外側には、ゲート線1群とドレイン線2群が、それぞれ例えば双方向TFTダイオードからなる第2の非線形抵抗素子8を介して接続された第2の共通配線6が配置形成されている。さらに、第2の共通配線6の外側には、ゲート線1群とドレイン線2群が、短絡接続された短絡配線9が配置形成されている。この短絡配線9は、従来から採られている静電気からの保護対策である。また、第1の共通配線5と第2の共通配線6との間の、ゲート線1群とドレイン線2群には端子電極11、12がそれぞれ形成されている。

【0029】図3、図4は、第1、第2の非線形抵抗素子7、8として使用される双方向TFTダイオードの回路構成図、図5は、この双方向TFTダイオードの具体的な構成例を示す平面図である。図3において、21はダイオード、図4において、22は2端子動作薄膜トランスタ、図5において、23はゲート電極、24はソース電極、25はドレイン電極、26はチャネル形成用非晶質シリコン膜およびゲート絶縁膜、27はコンタクトホールである。

【0030】図3に示すように、2個のダイオード21を互いに逆向きに並列に配置して、非線形な電流-電圧特性を有する非線形抵抗素子7、8を構成している。図4は、図3に示す2個の双方向ダイオード21の構成を具体的に示し、2個の2端子動作薄膜トランスタ22が図4に示すように接続されている。

【0031】図8(a)は、液晶表示基板と電気式アレイテスタの測定系の回路構成図、(b)は液晶表示基板の端子電極にアレイテスタのプロブを当てて検査する様子を示す該液晶表示基板の概略斜視図である。30はプロブ、(b)において、10は液晶表示基板である。アレイテスタは、例えば、書き込み→保持→読み出しサイクルからなり、積分回路により保持容量Caddに蓄積された電荷量を計測し、その量で欠陥の有無を判断する、また、読み出し電荷量の各種電圧、タイミング依存性により欠陥モードの解析が可能となっている。アレイテストの際は、すべての端子電極に同時に検査用プロブ(針)を当て、画素を動作させる。動作状態の良否により、画素の欠陥を検出する。したがって、各ゲート線間や各ドレイン線間が抵抗体で結合していると、電流が混合して検出不可能となる。しかし、抵抗体の抵抗値が高ければよい。本発明による双方向TFTダイオードによる抵抗体は、 $R = 1 \times 10^6 \Omega$ と十分に高い抵抗である。

【0032】液晶表示基板10をアレイテスタを用いて欠陥を検査する直前に、図1の×印で示した各切断箇所14で、各配線を例えばレーザー等によりカットし、ゲート線1およびドレイン線2と短絡配線9とを電気的に切断する。ついで、アレイテスタを用いて欠陥検査を行なった後、良品の液晶表示基板を後工程に送る。したがって、アレイテスト前は、短絡配線9により各配線間が短絡されているので、静電気から保護され、短絡が解除されたアレイテスト後は、第1、第2の共通配線5、6による2重の保護回路により、静電気による薄膜トランジスタのしきい値電圧 V_{th} の変動等の発生が防止される。また、液晶表示基板を切断線13で切断した後は、たとえば該基板端部の配線材料が露出した部分から静電気が侵入しても、配線は切断箇所14でカットされているので、静電気の表示領域への侵入は阻止される。

【0033】このように、本実施の形態1では、静電気からの保護のために、ゲート線1およびドレイン線2と

非線形抵抗素子7を介して接続した第1の共通配線5と第2の共通配線6を2重に配置し、さらに、一方の第2の共通配線6は静電気の侵入が起きる端子電極11、12の近傍に配置されている。これにより、外部から侵入した静電気や液晶表示基板上で発生した静電気が、第1の共通配線5、第2の共通配線6、あるいは短絡配線9へ容易に分散され、ゲート線1とドレイン線2間に加わる高電圧を低減できる。また、ゲート線1およびドレイン線2を短絡配線9から電気的に切断する箇所を、液晶表示基板の切断線13よりも内側とし、切断線13の内側で配線を切断することにより、切断線13で切断された液晶表示基板端部の配線材料が露出した部分から静電気が侵入しても、表示領域内へ侵入できないようになっている。

【0034】実施の形態2

図2は、本発明の実施の形態2を示すアクティブ・マトリクス方式の液晶表示基板の回路構成図である。15は配向膜の境界線(塗布ライン)であり、また、第2の共通配線6の太い部分は該第2の共通配線6を構成する導電性膜が露出している部分を示し、細い部分は絶縁性保護膜で覆われている部分を示す。

【0035】本実施の形態2は、基本的な回路構成は、前記実施の形態1と同様である。前記実施の形態1と異なる点は、第2の共通配線6を、端子電極11、12に隣接する配向膜の境界線15の外側に配置している点である。すなわち、端子電極11、12と、端子電極11、12の近傍の、第2の共通配線6(太い部分)を絶縁膜で覆わず、露出させ、それ以外の部分は、すべて絶縁性の保護膜(例えばプラズマCVD装置で形成した酸化シリコン膜や窒化シリコン膜)で覆い、静電気を侵入させないようにしている。なお、第2の共通配線6の少なくとも露出している部分は、電食を防止するため、ITO(インジウム チン オキサイド)膜で形成した。

【0036】薄膜トランジスタ形成工程後の、例えばラビング工程等で静電気が発生した場合は、端子電極11、12と第2の共通配線6の露出している部分に、選択的に侵入するので(多くの場合、基板の外側から侵入する)、第2の共通配線6の露出している部分を設けていない場合よりも、端子電極11、12に静電気が侵入する確率が低減される。第2の共通配線6に、露出している部分から直接静電気が侵入した場合は、低抵抗の該共通配線6により素早く静電気が分散される。

【0037】このように、本実施の形態2では、静電気の侵入箇所である露出した端子電極11、12に隣接して、配向膜等の絶縁膜によって覆われていない、導電性膜が露出した(太線で示す)共通配線6を配置することにより、端子電極11、12への静電気の侵入する確率を低減できる。

【0038】図6、図7は、本発明によるそれぞれ液晶表示基板全体の回路構成の例の概略を示す図である。

10

20

30

40

50

【0039】共通線5、6と各ゲート線1およびドレイン線2との接続は、図6に示すように、液晶表示基板の上下左右で行なう場合が最も静電気からの保護効果が大きい、スペースが充分採れない場合は、基板の上下と左右のそれぞれ一方だけ、例えば上側と左側のみで接続してもよい。この場合、共通線5、6の下側と右側に配置した部分を省略できる。

【0040】また、端子電極11、12と駆動回路との接続の都合で、例えば図7に示すように、ドレイン線2が端子電極12付近で絞込まれていて、配線間の間隔が狭く、双方向TF Tダイオードからなる非線形抵抗素子8を挿入配置するスペースがない場合には、非線形抵抗素子8を、例えばドレイン線2の1本置きに上下に振り分けて挿入配置してもよい。

【0041】以上説明したように、前記実施の形態1、2によれば、アレイテストを行なうために、各ゲート線1およびドレイン線2が短絡配線9から切断された後も、静電気が配線に侵入したときのゲート線1とドレイン線2の間に加わる電圧が低減されるので、薄膜トランジスタ3のしきい値電圧 V_{th} の変動、薄膜トランジスタ3の破損、ゲート線1とドレイン線2との絶縁膜を介する交差部における短絡等の不良の発生を未然に防止することができる。したがって、アレイテストと静電気からの保護を両立させることができ、かつ、薄膜トランジスタ形成工程後も静電気に対して強い構造となり、歩留りを向上することができる。

【0042】《マトリクス部の概要》図9は本発明が適用可能なアクティブ・マトリクス方式カラー液晶表示装置の一面素とその周辺を示す平面図、図10(a)～

(c)はマトリクスの画素部を中央にして(図9の10b-10b切断線における断面図)、両側に液晶表示素子角付近と映像信号端子部付近を示す断面図である。

【0043】図9に示すように、各画素は隣接する2本の走査信号線(ゲート信号線または水平信号線)GLと、隣接する2本の映像信号線(ドレイン信号線または垂直信号線)DLとの交差領域内(4本の信号線で囲まれた領域内)に配置されている。各画素は薄膜トランジスタTF T、透明画素電極ITO1および保持容量素子Caddを含む。走査信号線GLは図では左右方向に延在し、上下方向に複数本配置されている。映像信号線DLは上下方向に延在し、左右方向に複数本配置されている。

【0044】図10に示すように、液晶層LCを基準にして下部透明ガラス基板SUB1側には薄膜トランジスタTF Tおよび透明画素電極ITO1が形成され、上部透明ガラス基板SUB2側にはカラーフィルタFIL、遮光用ブラックマトリクスパターンBMが形成されている。透明ガラス基板SUB1、SUB2の両面にはディップ処理等によって形成された酸化シリコン膜SIOが設けられている。

【0045】上部透明ガラス基板SUB2の内側(液晶LC側)の表面には、ブラックマトリクスBM、カラーフィルタFIL、保護膜PSV2、共通透明画素電極ITO2(COM)および上部配向膜ORI2が順次積層して設けられている。

【0046】《マトリクス周辺の概要》図11は上下のガラス基板SUB1、SUB2を含む表示パネルPNLのマトリクス(AR)周辺部を誇張した要部平面を、図12は図11のパネル左上角部に対応するシール部SL付近の拡大平面を示す図である。また、図10は図9の10b-10b切断線における断面を中央にして、左側に図12の10a-10a切断線における断面を、右側に映像信号駆動回路が接続されるべき外部接続端子DTM付近の断面を示す図である。なお、図12、図13においては、図1～図7に示した共通配線5、6、非線形抵抗素子7、8等は図示省略してある。

【0047】このパネルの製造では、小さいサイズであればスループット向上のため、1枚のガラス基板で複数個分のデバイスを同時に加工してから分割し、大きいサイズであれば製造設備の共用のためどの品種でも標準化された大きさのガラス基板を加工してから各品種に合ったサイズに小さくし、いずれの場合も一通りの工程を経てからガラスを切断する。図11、図12は後者の例を示すもので、図11は上下基板SUB1、SUB2の切断後を、図12は切断前を表しており、LNは両基板の切断前の縁を、CT1とCT2はそれぞれ基板SUB1、SUB2の切断すべき位置を示す。いずれの場合も、完成状態では外部接続端子群Tg、Td(添字略)が存在する(図で上下辺と左辺の)部分はそれらを露出するように上側基板SUB2の大きさが下側基板SUB1よりも内側に制限されている。端子群Tg、Tdはそれぞれ後述する走査回路接続用端子GTM、映像信号回路接続用端子DTMとそれらの引出配線部を集積回路チップCHIが搭載されたテープキャリアパッケージTCPの単位に複数本まとめて名付けたものである。各群のマトリクス部から外部接続端子部に至るまでの引出配線は、両端に近づくにつれ傾斜している。これは、パッケージTCPの配列ピッチ及び各パッケージTCPにおける接続端子ピッチに表示パネルPNLの端子DTM、GTMを合せるためである。

【0048】透明ガラス基板SUB1、SUB2の間にはその縁に沿って、液晶封入口INJを除き、液晶LCを封止するようにシールパターンSLが形成される。シール材は例えばエポキシ樹脂から成る。上部透明ガラス基板SUB2側の共通透明画素電極ITO2は、少なくとも一箇所において、本実施例ではパネルの4角で銀ペースト材AGPによって下部透明ガラス基板SUB1側に形成されたその引出配線INTに接続されている。この引出配線INTは後述するゲート端子GTM、ドレイン端子DTMと同一製造工程で形成される。

【0049】配向膜ORI1、ORI2、透明画素電極ITO1、共通透明画素電極ITO2、それぞれの層は、シールパターンSLの内側に形成される。偏光板POL1、POL2はそれぞれ下部透明ガラス基板SUB1、上部透明ガラス基板SUB2の外側の表面に形成されている。液晶LCは液晶分子の向きを設定する下部配向膜ORI1と上部配向膜ORI2との間でシールパターンSLで仕切られた領域に封入されている。下部配向膜ORI1は下部透明ガラス基板SUB1側の保護膜PSV1の上部に形成される。

【0050】この液晶表示装置は、下部透明ガラス基板SUB1側、上部透明ガラス基板SUB2側で別個に種々の層を積み重ね、シールパターンSLを基板SUB2側に形成し、下部透明ガラス基板SUB1と上部透明ガラス基板SUB2とを重ね合せ、シール材SLの開口部INJから液晶LCを注入し、注入口INJをエポキシ樹脂などで封止し、上下基板を切断することによって組み立てられる。

【0051】《薄膜トランジスタTFT》つぎに、図9、図10に戻り、TFT基板SUB1側の構成を詳しく説明する。

【0052】薄膜トランジスタTFTは、ゲート電極GTに正のバイアスを印加すると、ソースドレイン間のチャネル抵抗が小さくなり、バイアスを零にすると、チャネル抵抗は大きくなるように動作する。

【0053】各画素には複数(2つ)の薄膜トランジスタTFT1、TFT2が冗長して設けられる。薄膜トランジスタTFT1、TFT2のそれぞれは、実質的に同一サイズ(チャネル長、チャネル幅が同じ)で構成され、ゲート電極GT、ゲート絶縁膜GI、i型(真性、intrinsic、導電型決定不純物がドーピングされていない)非晶質シリコン(Si)から成るi型半導体層AS、一対のソース電極SD1、ドレイン電極SD2を有す。なお、ソース、ドレインは本来その間のバイアス極性によって決まるもので、この液晶表示装置の回路ではその極性は動作中反転するので、ソース、ドレインは動作中入れ替わると理解されたい。しかし、以下の説明では、便宜上一方をソース、他方をドレインと固定して表現する。

【0054】《ゲート電極GT》ゲート電極GTは走査信号線GLから垂直方向に突出する形状で構成されている(T字形状に分岐されている)。ゲート電極GTは薄膜トランジスタTFT1、TFT2のそれぞれの能動領域を越えるよう突出している。薄膜トランジスタTFT1、TFT2のそれぞれのゲート電極GTは、一体に(共通のゲート電極として)構成されており、走査信号線GLに連続して形成されている。本例では、ゲート電極GTは、単層の第2導電膜g2で形成されている。第2導電膜g2としては例えばスパッタで形成されたアルミニウム(A1)膜が用いられ、その上にはA1の陽極

酸化膜AOFが設けられている。

【0055】このゲート電極GTはi型半導体層ASを完全に覆うよう(下方からみて)それより大き目に形成され、i型半導体層ASに外光やバックライト光が当たらないよう工夫されている。

【0056】《走査信号線GL》走査信号線GLは第2導電膜g2で構成されている。この走査信号線GLの第2導電膜g2はゲート電極GTの第2導電膜g2と同一製造工程で形成され、かつ一体に構成されている。また、走査信号線GL上にもA1の陽極酸化膜AOFが設けられている。

【0057】《絶縁膜GI》絶縁膜GIは、薄膜トランジスタTFT1、TFT2において、ゲート電極GTと共に半導体層ASに電界を与えるためのゲート絶縁膜として使用される。絶縁膜GIはゲート電極GTおよび走査信号線GLの上層に形成されている。絶縁膜GIとしては例えばプラズマCVDで形成された窒化シリコン膜が選ばれ、1200~2700Åの厚さに(本実施例では、2000Å程度)形成される。ゲート絶縁膜GIは図12に示すように、マトリクス部ARの全体を囲むように形成され、周辺部は外部接続端子DTM、GTMを露出するよう除去されている。絶縁膜GIは走査信号線GLと映像信号線DLの電気的絶縁にも寄与している。

【0058】《i型半導体層AS》i型半導体層ASは、本例では薄膜トランジスタTFT1、TFT2のそれぞれに独立した島となるよう形成され、非晶質シリコンで、200~2200Åの厚さに(本実施例では、2000Å程度の膜厚)で形成される。層d0はオーミックコンタクト用のリン(P)をドーピングしたN+型非晶質シリコン半導体層であり、下側にi型半導体層ASが存在し、上側に導電層d2(d3)が存在するところのみに残されている。

【0059】i型半導体層ASは走査信号線GLと映像信号線DLとの交差部(クロスオーバー部)の両者間にも設けられている。この交差部のi型半導体層ASは交差部における走査信号線GLと映像信号線DLとの短絡を低減する。

【0060】《透明画素電極ITO1》透明画素電極ITO1は液晶表示部の画素電極の一方を構成する。

【0061】透明画素電極ITO1は薄膜トランジスタTFT1のソース電極SD1および薄膜トランジスタTFT2のソース電極SD1の両方に接続されている。このため、薄膜トランジスタTFT1、TFT2のうちの1つに欠陥が発生しても、その欠陥が副作用をもたらす場合はレーザ光等によって適切な箇所を切断し、そうでない場合は他方の薄膜トランジスタが正常に動作しているので放置すれば良い。透明画素電極ITO1は第1導電膜d1によって構成されており、この第1導電膜d1はスパッタリングで形成された透明導電膜(Indium-Tin-Oxide ITO:ネサ膜)からなり、1000~200

0 Åの厚さに（本実施例では、1400 Å程度の膜厚）形成される。

【0062】《ソース電極SD1、ドレイン電極SD2》ソース電極SD1、ドレイン電極SD2のそれぞれは、N⁺型半導体層d0に接触する第2導電膜d2とその上に形成された第3導電膜d3とから構成されている。

【0063】第2導電膜d2はスパッタで形成したクロム（Cr）膜を用い、500～1000 Åの厚さに（本実施例では、600 Å程度）で形成される。Cr膜は膜厚を厚く形成するとストレスが大きくなるので、2000 Å程度の膜厚を越えない範囲で形成する。Cr膜はN⁺型半導体層d0との接着性を良好にし、第3導電膜d3のAlがN⁺型半導体層d0に拡散することを防止する（いわゆるバリア層の）目的で使用される。第2導電膜d2として、Cr膜の他に高融点金属（Mo、Ti、Ta、W）膜、高融点金属シリサイド（MoSi₂、TiSi₂、TaSi₂、WSi₂）膜を用いてもよい。

【0064】第3導電膜d3はAlのスパッタリングで3000～5000 Åの厚さに（本実施例では、4000 Å程度）形成される。Al膜はCr膜に比べてストレスが小さく、厚い膜厚に形成することが可能で、ソース電極SD1、ドレイン電極SD2および映像信号線DLの抵抗値を低減したり、ゲート電極GTやi型半導体層ASに起因する段差乗り越えを確実にする（ステップカバーレッジを良くする）働きがある。

【0065】第2導電膜d2、第3導電膜d3を同じマスクパターンでパターンニングした後、同じマスクを用いて、あるいは第2導電膜d2、第3導電膜d3をマスクとして、N⁺型半導体層d0が除去される。つまり、i型半導体層AS上に残っていたN⁺型半導体層d0は第2導電膜d2、第3導電膜d3以外の部分がセルフアラインで除去される。このとき、N⁺型半導体層d0はその厚さは全て除去されるようエッチングされるので、i型半導体層ASも若干その表面部分がエッチングされるが、その程度はエッチング時間で制御すればよい。

【0066】《映像信号線DL》映像信号線DLはソース電極SD1、ドレイン電極SD2と同層の第2導電膜d2、第3導電膜d3で構成されている。

【0067】《保護膜PSV1》薄膜トランジスタTFTおよび透明画素電極ITO1上には保護膜PSV1が設けられている。保護膜PSV1は主に薄膜トランジスタTFTを湿気等から保護するために形成されており、透明性が高くしかも耐湿性の良いものを使用する。保護膜PSV1はたとえばプラズマCVD装置で形成した酸化シリコン膜や窒化シリコン膜で形成されており、1 μm程度の膜厚で形成する。

【0068】保護膜PSV1は図12に示すように、マトリクス部ARの全体を囲むように形成され、周辺部は外部接続端子DTM、GTMを露出するよう除去され、

また上基板側SUB2の共通電極COMを下側基板SUB1の外部接続端子接続用引出配線INTに銀ペーストAGPで接続する部分も除去されている。保護膜PSV1とゲート絶縁膜GIの厚さ関係に関しては、前者は保護効果を考え厚くされ、後者はトランジスタの相互コンダクタンスgmを薄くされる。したがって、図12に示すように、保護効果の高い保護膜PSV1は周辺部もできるだけ広い範囲に亘って保護するようゲート絶縁膜GIよりも大きく形成されている。

【0069】《遮光膜BM》上部透明ガラス基板SUB2側には、外部光又はバックライト光がi型半導体層ASに入射しないよう遮光膜BMが設けられている。図9に示す遮光膜BMの閉じた多角形の輪郭線は、その内側が遮光膜BMが形成されない開口を示している。遮光膜BMは光に対する遮蔽性が高いたとえばアルミニウム膜やクロム膜等で形成されており、本実施例ではクロム膜がスパッタリングで1300 Å程度の厚さに形成される。

【0070】したがって、薄膜トランジスタTFT1、TFT2のi型半導体層ASは上下にある遮光膜BMおよび大き目のゲート電極GTによってサンドイッチにされ、外部の自然光やバックライト光が当たらなくなる。遮光膜BMは各画素の周囲に格子状に形成され、この格子で1画素の有効表示領域が仕切られている。したがって、各画素の輪郭が遮光膜BMによってはっきりとし、コントラストが向上する。つまり、遮光膜BMはi型半導体層ASに対する遮光とブラックマトリクスとの2つの機能をもつ。

【0071】透明画素電極ITO1のラビング方向の根本側のエッジ部分（図9右下部分）も遮光膜BMによって遮光されているので、上記部分にドメインが発生したとしても、ドメインが見えないので、表示特性が劣化することはない。

【0072】遮光膜BMは図11に示すように周辺部にも額縁状に形成され、そのパターンはドット状に複数の開口を設けた図9に示すマトリクス部のパターンと連続して形成されている。周辺部の遮光膜BMは図10、図11、図12に示すように、シール部SLの外側に延長され、パソコン等の実装機に起因する反射光等の漏れ光がマトリクス部に入り込むのを防いでいる。他方、この遮光膜BMは基板SUB2の縁よりも約0.3～1.0 mm程内側に留められ、基板SUB2の切断領域を避けて形成されている。

【0073】《カラーフィルタFIL》カラーフィルタFILは画素に対向する位置に赤、緑、青の繰り返しでストライプ状に形成される。カラーフィルタFILは透明画素電極ITO1の全てを覆うように大き目に形成され、遮光膜BMはカラーフィルタFILおよび透明画素電極ITO1のエッジ部分と重なるよう透明画素電極ITO1の周縁部より内側に形成されている。

【0074】カラーフィルタFILはつぎのように形成することができる。まず、上部透明ガラス基板SUB2の表面にアクリル系樹脂等の染色基材を形成し、フォトリソグラフィ技術で赤色フィルタ形成領域以外の染色基材を除去する。この後、染色基材を赤色染料で染め、固着処理を施し、赤色フィルタRを形成する。つぎに、同様な工程を施すことによって、緑色フィルタG、青色フィルタBを順次形成する。

【0075】《保護膜PSV2》保護膜PSV2はカラーフィルタFILの染料が液晶LCに漏れることを防止するために設けられている。保護膜PSV2はたとえばアクリル樹脂、エポキシ樹脂等の透明樹脂材料で形成されている。

【0076】《共通透明画素電極ITO2》共通透明画素電極ITO2は、下部透明ガラス基板SUB1側に画素ごとに設けられた透明画素電極ITO1に対向し、液晶LCの光学的な状態は各画素電極ITO1と共通透明画素電極ITO2との間の電位差（電界）にตอบสนองして変化する。この共通透明画素電極ITO2にはコモン電圧Vcomが印加されるように構成されている。本実施例では、コモン電圧Vcomは映像信号線DLに印加される最小レベルの駆動電圧Vdminと最大レベルの駆動電圧Vdmaxとの中間直流電位に設定されるが、映像信号駆動回路で使用される集積回路の電源電圧を約半分に低減したい場合は、交流電圧を印加すれば良い。なお、共通透明画素電極ITO2の平面形状は図11、図12を参照されたい。

【0077】《表示装置全体等価回路》表示マトリクス部の等価回路とその周辺回路の結線図を図13に示す。同図は回路図ではあるが、実際の幾何学的配置に対応して描かれている。ARは複数の画素を二次元状に配列したマトリクス・アレイである。

【0078】図中、Xは映像信号線DLを意味し、添字G、BおよびRがそれぞれ緑、青および赤画素に対応して付加されている。Yは走査信号線GLを意味し、添字1、2、3、…、endは走査タイミングの順序に従って付加されている。

【0079】映像信号線X（添字省略）は交互に上側（または奇数）映像信号駆動回路He、下側（または偶数）映像信号駆動回路Hoに接続されている。

【0080】走査信号線Y（添字省略）は垂直走査回路Vに接続されている。

【0081】SUPは1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路やホスト（上位演算処理装置）からのCRT（陰極線管）用の情報をTFT液晶表示装置用の情報に交換する回路を含む回路である。

【0082】《液晶表示モジュールの全体構成》図14は、液晶表示モジュールMDLの分解斜視図である。

【0083】SHDは金属板から成るシールドケース

（メタルフレームとも称す）、WDは表示窓、INS1～3は絶縁シート、PCB1～3は回路基板（PCB1はドレイン側回路基板、PCB2はゲート側回路基板、PCB3はインターフェイス回路基板）、JNは回路基板PCB1～3どうしを電気的に接続するジョイナ、TCP1、TCP2はテープキャリアパッケージ、PNLは液晶表示パネル、GCはゴムクッション、ILSは遮光スペーサ、PRSはプリズムシート、SPSは拡散シート、GLBは導光板、RFSは反射シート、MCAは一体成型により形成された下側ケース（モールドケース）、LPは蛍光管、LPCはランプケーブル、GBは蛍光管LPを支持するゴムブッシュであり、図に示すような上下の配置関係で各部材が積み重ねられて液晶表示モジュールMDLが組み立てられる。

【0084】モジュールMDLは、下側ケースMCA、シールドケースSHDの2種の収納・保持部材を有する。絶縁シートINS1～3、回路基板PCB1～3、液晶表示パネルPNLを収納、固定した金属製シールドケースSHDと、蛍光管LP、導光板GLB、プリズムシートPRS等から成るバックライトBLを収納した下側ケースMCAとを合体させることにより、モジュールMDLが組み立てられる。

【0085】図15は液晶表示モジュールMDLを実装したノートブック型のパソコン、あるいはワープロの斜視図である。

【0086】以上本発明を実施例に基づいて具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。例えば、共通線5、6、端子電極11、12等のレイアウトは、特許請求の範囲内で種々考えられる。また、共通線5、6、短絡配線9の少なくとも1本が、少なくとも1箇所、例えば液晶表示基板コーナー部の2もしくは4箇所等で不連続部を形成し、該不連続部どうしを容量素子を介して配置する構造にしてもよい。また、第1および第2の非線形抵抗素子7、8は双方向TFTダイオードに限定されず、その他の非線形抵抗素子を用いてもよい。さらに、第1および第2の非線形抵抗素子7、8に、それぞれ別の構成の非線形抵抗素子を用いてもよい。

【0087】

【発明の効果】以上説明したように、本発明によれば、アレイテストを行なうために、各ゲート線もしくはドレイン線を短絡配線から切断した後も、静電気が配線に侵入した場合のゲート線とドレイン線の間に加わる電圧が低減されるので、静電気に起因する不良の発生を未然に防止することができる。したがって、アレイテストと静電気からの保護を両立することができ、かつ、薄膜トランジスタ形成工程後も静電気に対して強い構造となり、歩留りを向上することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1を示すアクティブ・マトリクス方式の液晶表示基板の回路構成図である。

【図2】本発明の実施の形態2を示すアクティブ・マトリクス方式の液晶表示基板の回路構成図である。

【図3】本発明による非線形抵抗素子として使用される双方向TFTダイオードの一例の回路構成図である。

【図4】本発明による非線形抵抗素子として使用される双方向TFTダイオードの一例の回路構成図である。

【図5】本発明による双方向TFTダイオードの具体的な構成例を示す平面図である。

【図6】本発明による液晶表示基板全体の回路構成の例の概略を示す図である。

【図7】本発明による液晶表示基板全体の回路構成の例の概略を示す図である。

【図8】(a)は、液晶表示基板と電気式アレイスタの測定系の回路構成図、(b)は液晶表示基板の端子電極にアレイスタのプロブを当てて検査する様子を示す該液晶表示基板の概略斜視図である。

【図9】本発明が適用可能なアクティブ・マトリクス方式のカラー液晶表示装置の液晶表示部の一画素とその周辺を示す要部平面図である。

【図10】マトリクスの画素部を中央に、両側にパネル角付近と映像信号端子部付近を示す断面図である。

【図11】表示パネルのマトリクス周辺部の構成を説明

するための周辺部をやや誇張しさらに具体的に説明するためのパネル平面図である。

【図12】上下基板の電気的接続部を含む表示パネルの角部の拡大平面図である。

【図13】マトリクス部とその周辺を含む回路図である。

【図14】液晶表示モジュールの分解斜視図である。

【図15】液晶表示モジュールを実装したノートブック型のパソコンあるいはワープロの斜視図である。

【図16】第1の従来例のアクティブ・マトリクス方式の液晶表示基板の回路構成図である。

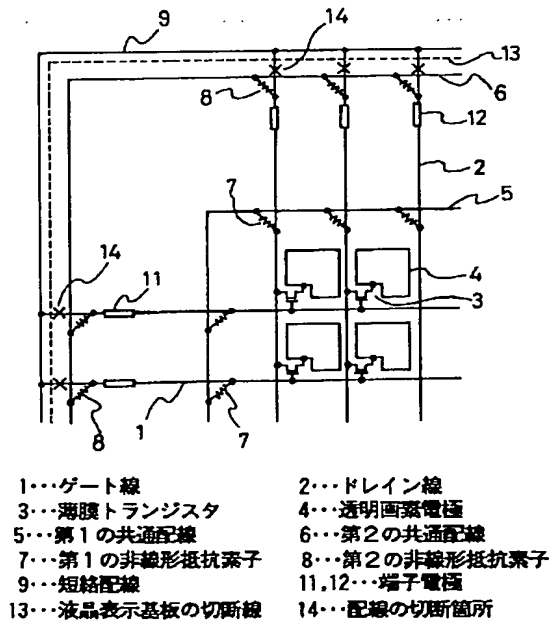
【図17】第2の従来例のアクティブ・マトリクス方式の液晶表示基板の回路構成図である。

【符号の説明】

1…ゲート線、2…ドレイン線、3…薄膜トランジスタ、4…透明画素電極、5…第1の共通配線、6…第2の共通配線、7…第1の非線形抵抗素子、8…第2の非線形抵抗素子、9…短絡配線、13…液晶表示基板の切断線、14…配線の切断箇所、15…配向膜の境界線、21…ダイオード、22…2端子動作薄膜トランスタ、23…ゲート電極、24…ソース電極、25…ドレイン電極、26…チャネル形成用非晶質シリコン膜およびゲート絶縁膜、27…コンタクトホール。

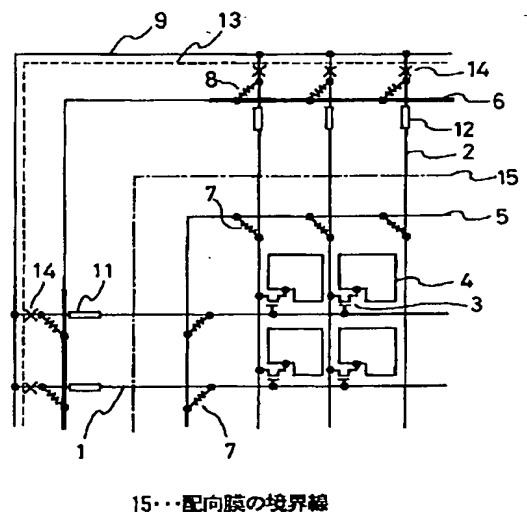
【図1】

図1



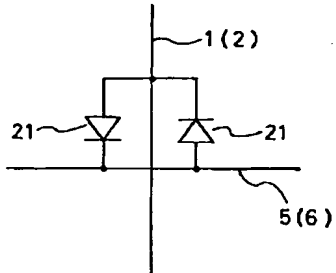
【図2】

図2



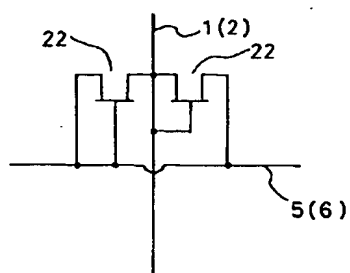
【図3】

図 3



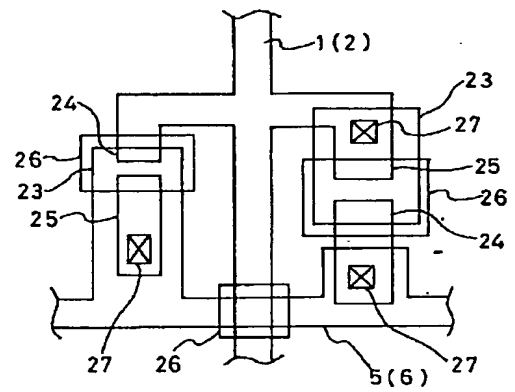
【図4】

図 4



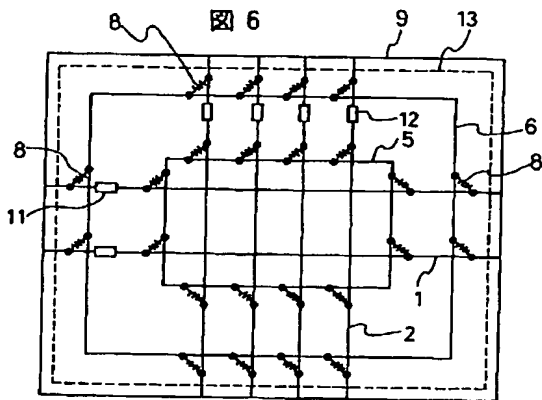
【図5】

図 5



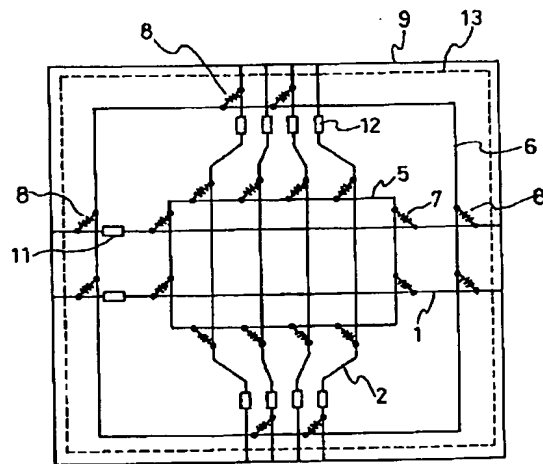
【図6】

図 6



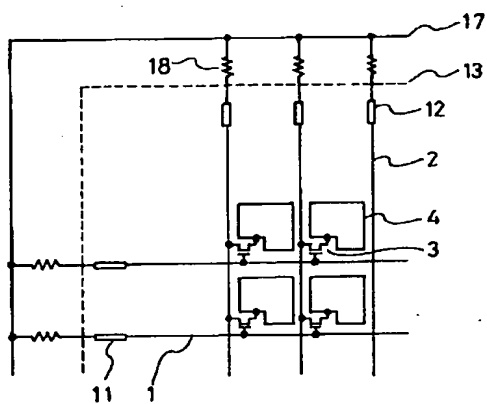
【図7】

図 7

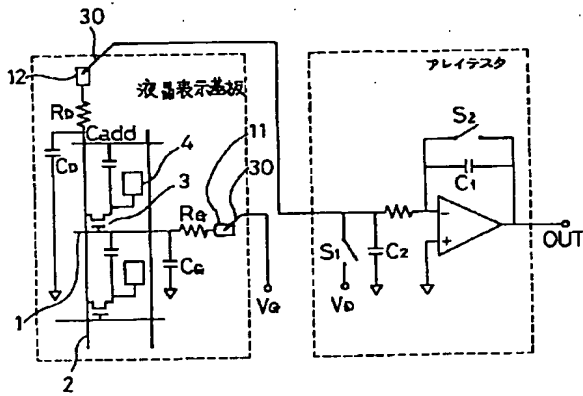


【図16】

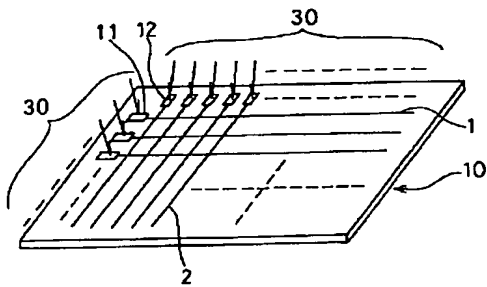
図 16



【図8】

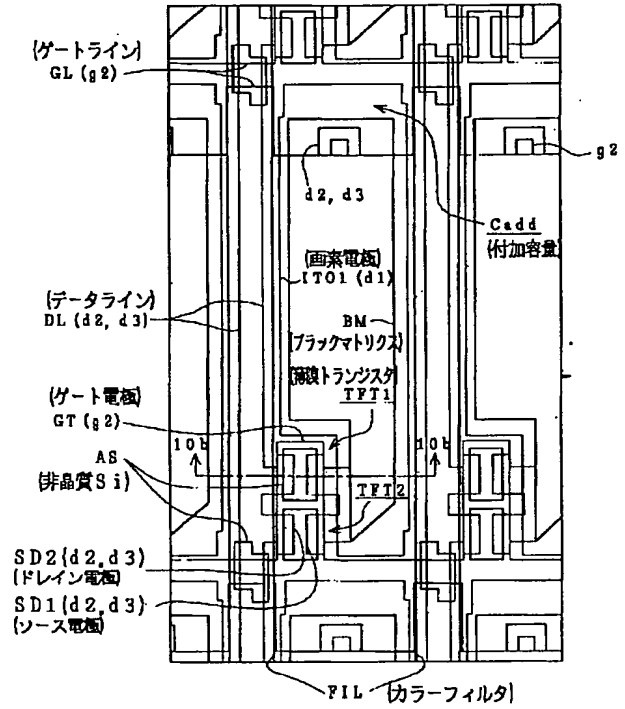
図 8
(a)

(b)



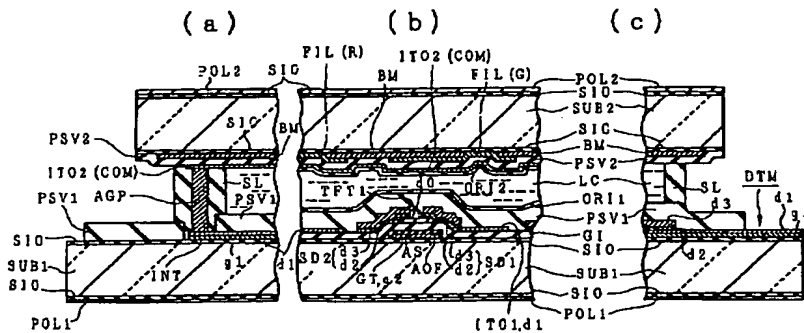
【図9】

図 9

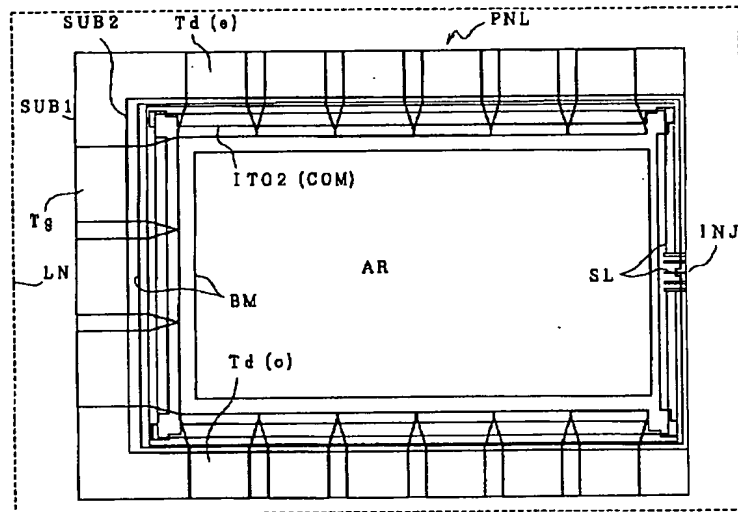


【図10】

図 10

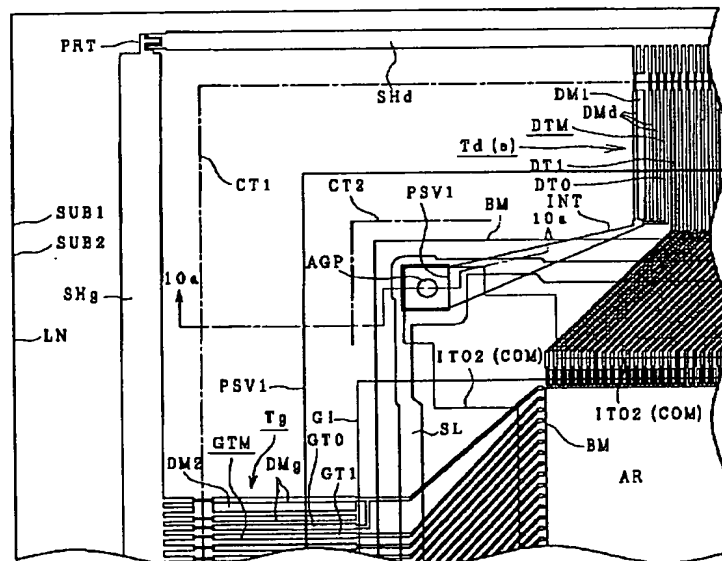


【図11】



11

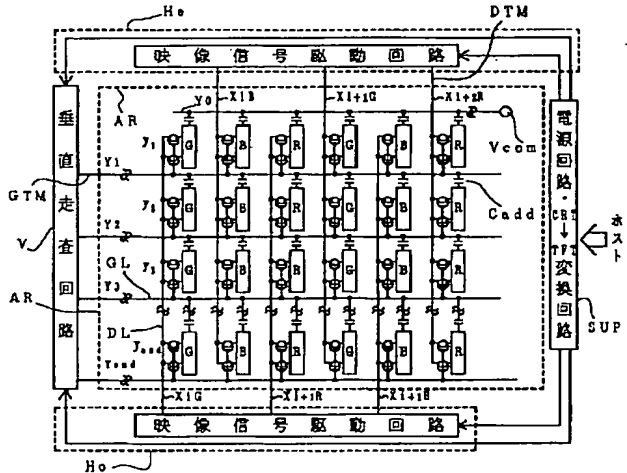
【図12】



12

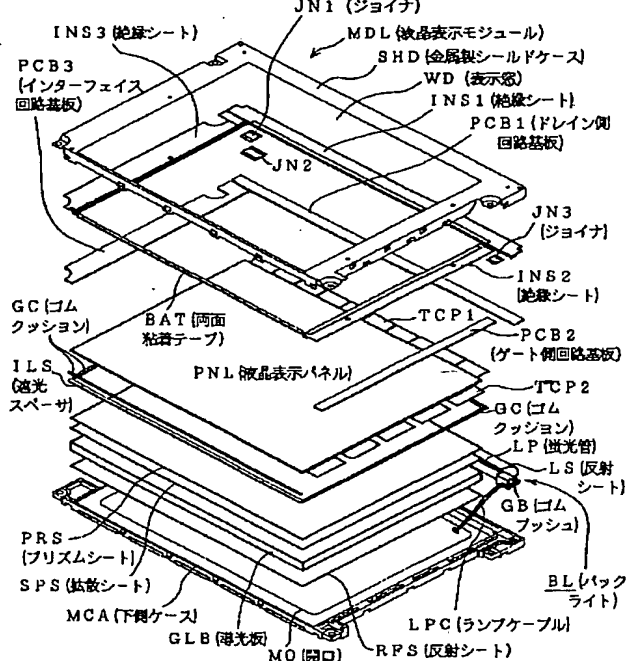
【図13】

図13



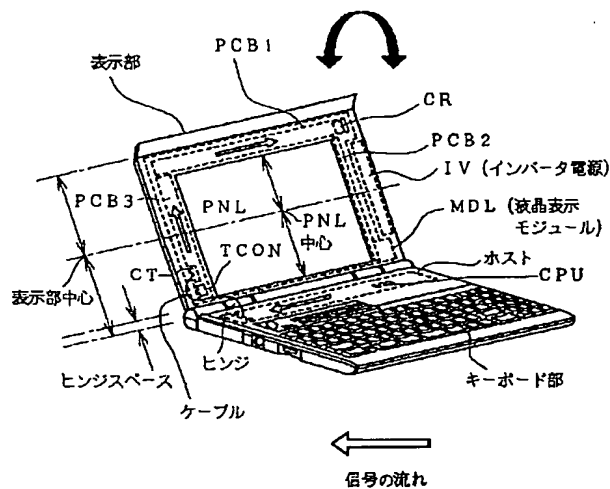
【図14】

図14



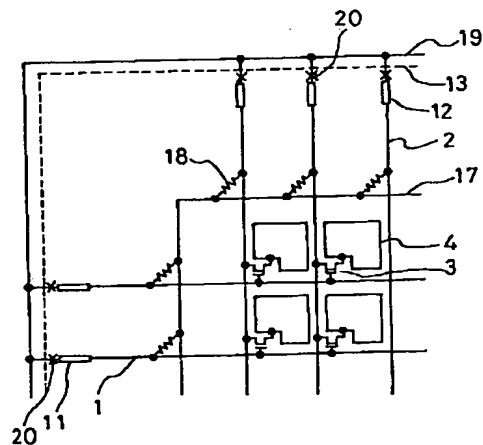
【図15】

図15



【図17】

図17



フロントページの続き

(72)発明者 磯田 高志
千葉県茂原市早野3681番地 日立デバイス
エンジニアリング株式会社内

(72)発明者 鈴木 雅彦
千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(72)発明者 扇一 公俊

千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内